

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-110376

(P2003-110376A)

(43)公開日 平成15年4月11日(2003.4.11)

(51)Int.Cl.	識別記号	F I	特許出願公開番号
H 0 3 F	3/217	H 0 3 F	3/217
G 1 0 L	19/00		1/32
	21/02	H 0 3 M	3/02
H 0 3 F	1/32		5/08
H 0 3 M	3/02	G 1 0 L	9/18
			B
			5 D 0 4 5
			5 J 0 6 4
			5 J 0 9 0
			5 J 0 9 1
			5 J 5 0 0

審査請求 未請求 請求項の数 4 O L (全 9 頁) 最終頁に続く

(21)出願番号 特願2001-303545(P2001-303545)

(22)出願日 平成13年9月28日(2001.9.28)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 増田 稔彦

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

(72)発明者 大栗 一敦

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

(74)代理人 100067736

弁理士 小池 晃 (外2名)

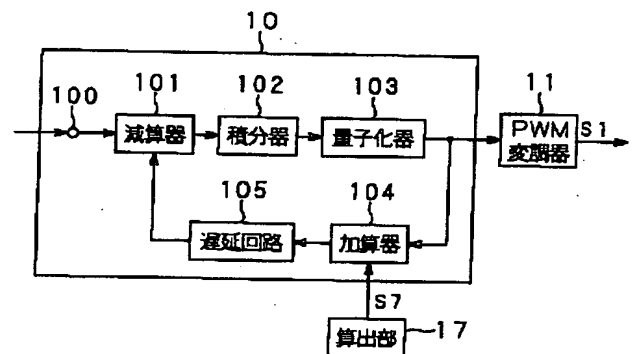
最終頁に続く

(54)【発明の名称】 信号増幅装置

(57)【要約】

【課題】 増幅器で発生する歪みを補正する。

【解決手段】 デルタシグマ変調手段と、デルタシグマ変調手段から出力された信号S1をパルス幅変調するパルス幅変調手段と、パルス幅変調手段によりパルス幅変調した信号S2を所定の大きさの信号S3に増幅する増幅手段と、信号S2と信号S3とを比較し、信号S2の立ち上がり信号S3の立ち上がりとの差分を検出する立ち上がり検出手段と、信号S2と信号S3とを比較し、信号S2の立ち下がり信号S3の立ち下がりとの差分を検出する立下がり検出手段と、立ち上がり検出手段で検出した立ち上がりの差分と、立下がり検出手段で検出した立ち下がりとの差分とから増幅手段より後段に接続されている回路の特性により生じる歪み量を算出する算出手段と、算出手段により算出した歪み量と、デルタシグマ変調手段の量子化器の出力とを加算する加算手段とを備えることで実現する。



1

【特許請求の範囲】

【請求項 1】 信号を量子化する量子化器を有するデルタシグマ変調手段と、

上記デルタシグマ変調手段から出力された信号 S 1 をパルス幅変調するパルス幅変調手段と、

上記パルス幅変調手段によりパルス幅変調した信号 S 2 を所定の大きさの信号 S 3 に増幅する増幅手段と、

上記信号 S 2 と上記信号 S 3 とを比較し、上記信号 S 2 の立ち上がり と上記信号 S 3 の立ち上がり との差分を検出する立ち上がり検出手段と、

上記信号 S 2 と上記信号 S 3 とを比較し、上記信号 S 2 の立ち下がり と上記信号 S 3 との立ち下がり との差分を検出する立下がり検出手段と、

上記立ち上がり検出手段で検出した立ち上がりの差分と、上記立下がり検出手段で検出した立ち下がりの差分とから上記増幅手段より後段に接続されている回路の特性により生じる歪み量を算出する算出手段と、

上記デルタシグマ変調手段の量子化器の出力から上記算出手段により算出した歪み量を減算する減算手段とを備えることを特徴とする信号増幅装置。

【請求項 2】 上記算出手段により算出された歪み量を所定の補正值に補正する補正手段を備え、

上記補正手段により補正した補正值を上記減算手段に入力することを特徴とする請求項 1 記載の信号増幅装置。

【請求項 3】 信号を量子化する量子化器を有するデルタシグマ変調手段と、

上記デルタシグマ変調手段から出力された信号 S 1 から帰還信号である算出信号を減算する減算手段と、

上記減算手段から出力された信号をパルス幅変調するパルス幅変調手段と、

上記パルス幅変調手段によりパルス幅変調した信号 S 2 を所定の大きさの信号 S 3 に増幅する増幅手段と、

上記信号 S 2 と上記信号 S 3 とを比較し、上記信号 S 2 の立ち上がり と上記信号 S 3 の立ち上がり との差分を検出する立ち上がり検出手段と、

上記信号 S 2 と上記信号 S 3 とを比較し、上記信号 S 2 の立ち下がり と上記信号 S 3 との立ち下がり との差分を検出する立下がり検出手段と、

上記立ち上がり検出手段で検出した立ち上がりの差分と、上記立下がり検出手段で検出した立ち下がりの差分とから上記増幅手段より後段に接続されている回路の特性により生じる歪み量を算出信号として上記減算手段に出力する算出手段とを備えることを特徴とする信号増幅装置。

【請求項 4】 上記算出手段により算出された歪み量を所定の信号値に変換する変換手段を備え、

上記変換手段により変換した信号値を上記減算手段に入力することを特徴とする請求項 3 記載の信号増幅装置。

【発明の詳細な説明】

【0001】

2

【発明の属する技術分野】 本発明は、オーバーサンプリング方式によりデルタシグマ変調した信号を増幅する信号増幅装置に関する。

【0002】

【従来の技術】 従来より、オーディオ信号の S/N 比を向上する方法として、デルタシグマ変調方式がある。このデルタシグマ変調方式は、ノイズシェーピング技術により、例えば 16 ビット以上の PCM デジタル信号を 2 レベル (1 ビット) から数レベル (数ビット) の低量子化信号に変換し、数レベルのローカル D/A 変換器又は PWM (Pulse Width Modulation) 変調器等でアナログ信号に再生することができる。

【0003】 ここで、デルタシグマ変調方式を利用したオーディオ信号の再生について説明する。オーディオ信号を再生する再生装置 3 は、図 8 に示すように、デルタシグマ変調器 40 と、PWM 変調器 41 と、スイッチングモジュール 42 と、LPF (Low Pass Filter) LPF 43 と、スピーカ 44 とを備えている。

【0004】 デルタシグマ変調器 40 は、図 9 に示すように、オーディオ信号が入力される入力端子 140 と、オーディオ信号と遅延信号とを減算する減算器 141 と、減算器 141 の出力を積分する積分器 142 と、積分器 142 の出力を量子化する量子化器 143 と、量子化器 143 の出力を 1 クロック (量子化器の動作クロック) 分だけ遅延して上記減算器 141 に遅延信号として入力する遅延回路 144 とを備える。デルタシグマ変調器 40 では、サンプリング周波数の半分の周波数帯であるナイキスト帯域内において、可聴帯域内に量子化雑音を少なく、可聴帯域以上の周波数帯に量子化雑音を多く分布したオーディオ信号を生成する。上記オーディオ信号を PWM 変調器 41 に入力する。PWM 変調器 41 では、入力されたオーディオ信号に PWM 変調を行う。

【0005】 PWM 変調されたオーディオ信号は、スイッチングモジュール 42 により所定の大きさの信号に増幅され、LPF 43 を介してスピーカ 44 から出力される。

【0006】 このとき、スイッチングモジュール 42 は、入力信号よりも高い電圧で動作するため出力信号に歪みが生じる。この歪みを解消するために、例えば、特開平 9-214259 号公報に記載のように、パワースイッチで発生する電源リップルによる波形歪みやスイッチ部動作に伴うオーバーシュートやリングング等による波形歪みを抑える D 級電力増幅器がある。以下に、D 給電力増幅器の概略を説明する。

【0007】 D 給電力増幅器は、上述したようなデルタシグマ変調部と、デルタシグマ変調部の出力信号を電力増幅するパワースイッチと、パワースイッチの出力を平滑する第 1 の LPF と、デルタシグマ変調部の出力信号を遅延するディレイと、パワースイッチの出力信号の振幅を減衰する減衰器と、ディレイの出力信号減衰器の出

力信号との差を算出する加算器と、加算器の出力信号を平滑する第2のLPFと、第2のLPFの出力信号に基づき量子化器の基準レベルを選択する選択回路とを備えている。入力信号は、デルタシグマ変調部で2値信号に変換される。この2値信号は、パワースイッチで電力増幅され、第1のLPFで平滑されて負荷に供給される。一方、ディレイは、デルタシグマ変調部の出力を遅延する。減衰器は、パワースイッチの出力信号の振幅をディレイの出力信号の振幅と同等に減衰する。そして、加算器は、ディレイの出力信号と減衰器の出力信号との差を算出し、第2のLPFでこれを平滑することでパワースイッチで発生した波形歪みを検出する。選択回路は、この波形歪み量に応じて1ビット量子化器の基準レベルを選択する。その結果、デルタシグマ変調部は、波形歪みをキャンセルするよう入力信号を2値信号に変換する。このようにして、波形歪みをキャンセルしている。

【0008】

【発明が解決しようとする課題】しかしながら、上記D級電力増幅器は、量子化器の基準レベルを変動させるため、量子化器にレベルの高い信号が入力された場合、信号がクリップしてしまう問題がある。また、上記D級電力増幅器は、このクリップをさせないように量子化器に入力する信号のレベルを低く抑えた場合、S/N比が劣ってしまう問題がある。

【0009】また、スイッチングモジュールで増幅された信号によりスピーカを駆動するD級増幅器においては、信号の歪みがそのままオーディオ信号の歪みとなってスピーカから出力されるために、歪み率やS/N比等のオーディオ特性が劣化する問題がある。

【0010】そこで、本発明は、上述したような実情に鑑みて提案されたものであり、スイッチングモジュールで発生する歪みを帰還回路により予め補正する信号増幅装置を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明に係る信号増幅装置は、上述の課題を解決するために、信号を量子化する量子化器を有するデルタシグマ変調手段と、上記デルタシグマ変調手段から出力された信号S1をパルス幅変調するパルス幅変調手段と、上記パルス幅変調手段によりパルス幅変調した信号S2を所定の大きさの信号S3に増幅する増幅手段と、上記信号S2と上記信号S3とを比較し、上記信号S2の立ち上がりとし

力から上記算出手段により算出した歪み量を減算する減算手段とを備える。

【0012】この信号増幅装置では、立上がり検出手段及び立下がり検出手段で増幅手段に入出力する信号を比較し、上記信号から立ち上がりの差分と立ち下がりの差分とを検出し、算出手段で検出した立ち上がりの差分と立ち下がりの差分とから上記増幅手段より後段に接続されている回路の特性により生じる歪み量を算出し、上記算出した歪み量をデルタシグマ変調手段に帰還する。

【0013】また、本発明に係る信号増幅装置は、上述の課題を解決するために、信号を量子化する量子化器を有するデルタシグマ変調手段と、上記デルタシグマ変調手段から出力された信号S1から帰還信号である算出信号を減算する減算手段と、上記減算手段から出力された信号をパルス幅変調するパルス幅変調手段と、上記パルス幅変調手段によりパルス幅変調した信号S2を所定の大きさの信号S3に増幅する増幅手段と、上記信号S2と上記信号S3とを比較し、上記信号S2の立ち上がりとし

【0014】この信号増幅装置では、立上がり検出手段及び立下がり検出手段で増幅手段に入出力する信号を比較し、上記信号から立ち上がりの差分と立ち下がりの差分とを検出し、算出手段で検出した立ち上がりの差分と立ち下がりの差分とから上記増幅手段より後段に接続されている回路の特性により生じる歪み量を算出し、上記算出した歪み量を減算手段に帰還する。

【0015】

【発明の実施の形態】以下、本発明の第1の実施の形態について図面を参照しながら詳細に説明する。

【0016】本発明は、例えば図1に示すようなD級電力増幅装置1に適用される。

【0017】D級電力増幅装置1は、オーディオ信号をデルタシグマ変調するデルタシグマ変調器10と、デルタシグマ変調した信号をPWM (Pulse Width Modulation) 変調するPWM変調器11と、PWM変調した信号S1を所定の大きさの信号S2に増幅するスイッチングモジュール12と、PWM変調した信号S1を所定の大きさの電圧に変換する第1のレベル変換器13と、スイッチングモジュール12で所定の大きさに増幅した信号S2を所定の大きさの電圧に変換する第2のレベル変換器14と、第1のレベル変換器13の出力信号S3及び第2のレベル変換器14の出力信号S4から立ち上がり

成分の差分を検出する立上がり検出器15と、第1のレベル変換器13の出力信号S3及び第2のレベル変換器14の出力信号S4から立ち下がり成分の差分を検出する立下がり検出器16と、立上がり検出器15の出力信号S5及び立下がり検出器16の出力信号S6から歪みを算出する算出部17と、スイッチングモジュール12で所定の大きさに増幅した信号S2にフィルタ処理を行い高域の周波数成分を除去するLPF (Low Pass Filter) 18とを備える。また、LPF 18で高域の周波数成分が除去された信号は、スピーカ19に供給される。

【0018】ここで、デルタシグマ変調方法について説明する。デルタシグマ変調方法は、入力された信号を本来の標準化周波数 f_s の整数倍の周波数でA/D変換を行なう方法であり、オーバーサンプリング方法の一つである。信号を標準化する場合、アナログ信号の最高周波数 f_0 の2倍がナイキスト周波数 $2f_0$ であるが、このナイキスト周波数 $2f_0$ より小さい標準化周波数 f_s で標準化すると、 $f_s/2$ より高い周波数成分のスペクトルが $f_s/2$ に関して低周波数側に折り返されて出力されてくる。これを折り返し歪みまたは折り返し雑音という。

【0019】デルタシグマ変調方法では、この折り返し歪みを防ぐ前処理（アンチエイリアシング）を簡素化して行うことができる。最高周波数 f_0 とナイキスト周波数 $2f_0$ とが接近している場合、前処理回路（アンチエイリアシング・フィルタ）は、急峻な特性が要求される。このようなアナログフィルタは実現が難しいため、少なからず信号にも悪影響を与える。そこで、本来の標準化周波数 f_s より高い周波数でA/D変換を行うと、ナイキスト周波数 $2f_0$ も高い周波数帯域に移動するので、ゆるやかな特性のアナログフィルタで済み、信号への影響も少なくなる。その後、本来のナイキスト周波数 $2f_0$ 以上の信号成分を除去し、データを所定の間隔で間引く。したがって、デルタシグマ変調方法では、信号に悪影響を与えることなく高い周波数成分の信号を除去することができる。

【0020】また、デルタシグマ変調方法は、高い周波数成分の信号を除去する際に、A/D変換の時のデータより量子化ビット数の多いデータに変換することができる。さらにノイズ・シェイピングという技術を併用して、量子化ビット数を増やすこともできる。

【0021】なお、デルタシグマ変調方法は、D/A変換を行う場合にも応用できる。D/A変換を行う場合、デルタシグマ変調器10は全てデジタル回路で組むことになり、減算器や積分器等もデジタル回路となる。

【0022】デルタシグマ変調方式によるD/A変換では、全高調波歪率（高調波成分と信号の比）やS/N比などの高性能を比較的容易に実現可能であり、ノイズ・シェイピング技術により、例えば、16ビット以上のPCMデジタル信号を2レベル（1ビット）から数レベル

（数ビット）の低量子化信号に変換し、数レベルのローカルD/A変換器でアナログ信号に再生することが可能である。

【0023】上述したデルタシグマ変調方法により信号にデルタシグマ変調を行うデルタシグマ変調器10は、図2に示すように、オーディオ信号が入力される入力端子100と、オーディオ信号と遅延信号とを減算する減算器101と、減算器101の出力を積分する積分器102と、積分器102の出力を量子化して時間軸に沿って粗密に変化するパルス信号を出力する量子化器103と、量子化器103の出力信号と算出部17の出力信号S7とを加算する加算器104と、加算器104の出力信号を1クロック（量子化器103の動作クロック）分だけ遅延して減算器101に遅延信号として入力する遅延回路105とを備える。なお、算出部17の出力信号S7を量子化器103の出力信号に対して適正な値に変換する必要がある場合、算出部17の出力信号S7を量子化器103の出力信号に対して適正な値に補正する補正回路を算出部17と加算器104との間に設置することとする。

【0024】また、デルタシグマ変調器10は、図3に示すように、オーディオ信号が入力される入力端子110と、オーディオ信号と遅延信号とを減算する減算器111と、減算器111の出力を量子化する量子化器112と、加算器111の出力信号、量子化器112の出力信号及び算出部17の出力信号を加算する加算器113と、加算器113の出力信号を1クロック（量子化器112の動作クロック）分だけ遅延して減算器111に遅延信号として入力する遅延回路114とを備える構成でも良い。なお、算出部17の出力信号S7を量子化器112の出力信号に対して適正な値に変換する必要がある場合、算出部17の出力信号S7を量子化器112の出力信号に対して適正な値に補正する補正回路を算出部17と加算器113との間に設置することとする。

【0025】スイッチングモジュール12は、スイッチング動作により信号を増幅する増幅器である。スイッチングは、電源をON及びOFFするためのスイッチ回路であり、ONにすると最大の電力が供給され、OFFにすると電力の供給が行われなくなる。このON及びOFFを、同じインターバルで繰り返すと、半分の平均出力が得られ、ONの時間が長ければ大きな出力となり、短ければ小さな出力となる。スイッチングモジュール12は、このON及びOFFの比率によって、得られる平均出力の変化を利用した増幅器である。なお、スイッチングモジュール12は、PWM変調器11から入力される信号の大小に応じて、スイッチのON及びOFFの比率を制御する。

【0026】また、スイッチングモジュール12は、入力信号に比べて高電圧で動作するため出力信号に歪みが発生する。また、LPF 18、スピーカ19及び周囲温

度等の要因によっても歪みが発生する。D級電力増幅器 1 では、PWM変調器 11 の出力信号 S 1 のパルス幅と、上述の要因により歪んだスイッチングモジュール 12 の出力信号 S 2 のパルス幅とからパルス幅の違いを検出し、スイッチングモジュール 12、LPF 18、スピーカ 19 及び周囲温度等の特性により発生した上述のパルス幅の違いを考慮した信号 S 7 をデルタシグマ変調器 10 にフィードバックし、スイッチングモジュール 12 で増幅する際に打ち消す補正を行う。以下に図 4 を用いてフィードバックの動作について説明する。

【0027】第 1 のレベル変換器 13 は、PWM変調器 11 の出力信号 S 1 を立上がり検出器 15 及び立下がり検出器 16 に適合した信号 S 3 に変換し、また、第 2 のレベル変換器 14 は、スイッチングモジュール 12 の出力信号 S 2 を立上がり検出器 15 及び立下がり検出器 16 に適合した信号 S 4 に変換する。立上がり検出器 15 は、信号 S 3 の立ち上がり成分と信号 S 4 の立ち上がり成分とを比較してその差分を検出する。そして立上がり検出器 15 は、図 4 に示すように、検出した差分から信号 S 5 を生成し、算出部 17 に供給する。また、立下がり検出器 16 は、信号 S 3 の立ち下がり成分と信号 S 4 の立ち下がり成分とを比較してその差分を検出する。そして、立下がり検出器 16 は、検出した差分から信号 S 6 を生成し、算出部 17 に供給する。算出部 17 は、供給された信号 S 5 及び信号 S 6 から所定のクロック信号に基づきカウンタ信号 S 7 を生成する。カウンタ信号 S 7 は、スイッチングモジュール 12 及び LPF 18 等の特性により発生した歪み量を表わしている。算出部 17 は、カウンタ信号 S 7 をデルタシグマ変調器 10 の加算器 104 又は加算器 113 に供給する。なお、算出部 17 は、図 4 に示すクリア信号を検出した場合、カウンタ信号 S 7 をゼロに戻す作業を行う。クリア信号を出力するタイミングは、デルタシグマ変調器 10 の動作周期と同一とする。

【0028】このように構成された D 級電力増幅装置 1 は、スイッチングモジュール 12、LPF 18 及びスピーカ 19 等の特性により発生する歪み量を第 1 のレベル変換器 13、第 2 のレベル変換器 14、立上がり検出器 15、立下がり検出器 16 及び算出部 17 を介してデルタシグマ変調器 10 の加算器 104 又は加算器 113 にフィードバックし、デルタシグマ変調器 10 から出力された信号を PWM 変調器 11 で PWM 変調し、PWM 変調された信号をスイッチングモジュール 12 で所定の大きさの信号に増幅する際に、フィードバックにより入力したスイッチングモジュール 12、LPF 18 及びスピーカ 19 等の特性により発生する歪み量を打ち消すことにより、デルタシグマ変調処理の S/N 比を悪化させることなく、オーディオ特性の劣化を防ぐことができる。

【0029】なお、立上がり検出器 15 及び立下がり検出器 16 が直接、PWM 変調器 11 の出力信号 S 1 及び

スイッチングモジュール 12 の出力信号 S 2 を処理できる場合、第 1 のレベル変換器 13 及び第 2 のレベル変換器 14 は不要となり、さらに、第 1 のレベル変換器 13 及び第 2 のレベル変換器 14 の位置に、遅延回路を設置して、信号 S 1 と信号 S 2 のタイミングを図っても良い。

【0030】また、第 1 の実施の形態では、1 次のデルタシグマ変調器を用いた例を述べたが、高次のデルタシグマ変調器を用いても良い。

10 【0031】つぎに、本発明の第 2 の実施の形態について図面を参照しながら詳細に説明する。本発明は、例えば図 5 に示すような D 級電力増幅装置 2 に適用される。

【0032】D 級電力増幅装置 2 は、オーディオ信号をデルタシグマ変調するデルタシグマ変調器 20 と、デルタシグマ変調した信号と算出部 28 の出力信号とを減算する減算器 21 と、減算器 21 の出力信号を PWM (Pulse Width Modulation) 変調する PWM 変調器 22 と、PWM 変調した信号 S 1 を所定の大きさの信号 S 2 に増幅するスイッチングモジュール 23 と、PWM 変調した信号 S 1 を所定の大きさの電圧に変換する第 1 のレベル変換器 24 と、スイッチングモジュール 23 で所定の大きさに増幅した信号 S 2 を所定の大きさの電圧に変換する第 2 のレベル変換器 25 と、第 1 のレベル変換器 24 の出力信号 S 3 及び第 2 のレベル変換器 25 の出力信号 S 4 から立ち上がり成分の差分を検出する立上がり検出器 26 と、第 1 のレベル変換器 24 の出力信号 S 3 及び第 2 のレベル変換器 25 の出力信号 S 4 から立ち下がり成分の差分を検出する立下がり検出器 27 と、立上がり検出器 26 の出力信号 S 5 及び立下がり検出器 27 の出力信号 S 6 から歪み量を算出する算出部 28 と、スイッチングモジュール 23 で所定の大きさに増幅した信号 S 2 にフィルタ処理を行い高域の周波数成分を除去する LPF (Low Pass Filter) 29 とを備える。また、LPF 29 で高域の周波数成分が除去された信号は、スピーカ 30 に供給される。

【0033】デルタシグマ変調方法については、第 1 の実施の形態で説明したとおりである。

40 【0034】デルタシグマ変調器 20 は、図 6 に示すように、オーディオ信号が入力される入力端子 120 と、オーディオ信号と遅延信号とを減算する減算器 121 と、減算器 121 の出力を積分する積分器 122 と、積分器 122 の出力を量子化して時間軸に沿って粗密に変化するパルス信号を出力する量子化器 123 と、量子化器 123 の出力信号を 1 クロック (量子化器 123 の動作クロック) 分だけ遅延して減算器 121 に遅延信号として入力する遅延回路 124 とを備える。また、量子化器 123 の出力信号は、減算器 21 に供給される。

50 【0035】なお、算出部 28 の出力信号 S 7 を量子化器 123 の出力信号に対して適正な値に変換する必要がある場合、算出部 28 の出力信号 S 7 を量子化器 123

の出力信号に対して適正な値に補正する補正回路を算出部28と減算器21との間に設置することとする。

【0036】また、デルタシグマ変調器20は、図7に示すように、オーディオ信号が入力される入力端子130と、オーディオ信号と遅延信号とを減算する減算器131と、減算器131の出力を量子化する量子化器132と、減算器131の出力信号及び量子化器132の出力信号を加算する加算器133と、加算器133の出力信号を1クロック（量子化器132の動作クロック）分だけ遅延して減算器131に遅延信号として入力する遅延回路134とを備える構成でも良い。

【0037】なお、算出部28の出力信号S7を量子化器132の出力信号に対して適正な値に変換する必要がある場合、算出部28の出力信号S7を量子化器132の出力信号に対して適正な値に補正する補正回路を算出部28と減算器21との間に設置することとする。

【0038】また、スイッチングモジュール23の動作については、第1の実施の形態で説明したとおりである。

【0039】D級電力増幅装置2が備えるスイッチングモジュール23は、入力信号に比べて高電圧で動作するため出力信号に歪みが発生する。また、LPF29、スピーカ30及び周囲温度等の要因によっても歪みが発生する。D級電力増幅器2では、PWM変調器22の出力信号S1のパルス幅と、上述の要因により歪んだスイッチングモジュール23の出力信号S2のパルス幅とからパルス幅の違いを検出し、スイッチングモジュール23及びLPF29等の特性により発生した上述のパルス幅の違いを考慮した信号S7をデルタシグマ変調器20にフィードバックし、スイッチングモジュール23で増幅する際に打ち消す補正を行う。以下にフィードバックの動作について説明する。

【0040】第1のレベル変換器24は、PWM変調器22の出力信号S1を立上がり検出器26及び立下がり検出器27に適合した信号S3に変換し、また、第2のレベル変換器25は、スイッチングモジュール23の出力信号S2を立上がり検出器26及び立下がり検出器27に適合した信号S4に変換する。立上がり検出器26は、信号S3の立ち上がり成分と信号S4の立ち上がり成分とを比較してその差分を検出する。そして立上がり検出器26は、検出した差分から信号S5を生成し、算出部28に供給する。また、立下がり検出器27は、信号S3の立ち下がり成分と信号S4の立ち下がり成分とを比較してその差分を検出する。そして、立下がり検出器27は、検出した差分から信号S6を生成し、算出部28に供給する。算出部28は、供給された信号S5及び信号S6から所定のクロック信号に基づきカウンタ信号S7を生成する。カウンタ信号S7は、スイッチングモジュール23及びLPF29等の特性により発生した歪み量を表わしている。算出部28は、カウンタ信号S

7を減算器21に供給する。なお、算出部28は、クリア信号を検出した場合、カウンタ信号S7を零に戻す作業を行う。クリア信号を出力するタイミングは、デルタシグマ変調器20の動作周期と同一とする。

【0041】このように構成されたD級電力増幅装置2は、スイッチングモジュール23及びLPF29等により発生する歪み量を第1のレベル変換器24、第2のレベル変換器25、立上がり検出器26、立下がり検出器27及び算出部28を介して減算器21にフィードバックし、減算器21から出力された信号をPWM変調器22でPWM変調し、PWM変調された信号をスイッチングモジュール23で所定の大きさの信号に増幅する際に、フィードバックにより入力したスイッチングモジュール23やLPF29等で発生する歪み量を打ち消すことにより、デルタシグマ変調処理のS/N比を悪化させることなく、オーディオ特性の劣化を防ぐことができる。

【0042】なお、立上がり検出器26及び立下がり検出器27が直接PWM変調器22の出力信号S1及びスイッチングモジュール23の出力信号を処理できる場合、第1のレベル変換器24及び第2のレベル変換器25は不要となり、さらに、第1のレベル変換器24及び第2のレベル変換器25の位置に、遅延回路を設置して、信号S1と信号S2のタイミングを図っても良い。

【0043】また、第2の実施の形態では、1次のデルタシグマ変調器を用いた例を述べたが、高次のデルタシグマ変調器を用いても良い。

【0044】

【発明の効果】以上詳細に説明したように、本発明に係る信号増幅装置では、パルス幅変調器より後段に接続されている回路の特性により発生する歪みを増幅器の入力信号及び出力信号の差分から検出し、検出した歪み量をデルタシグマ変調器にフィードバックし、デルタシグマ変調器及びパルス幅変調器で変調した信号を増幅器で所定の大きさの信号に増幅する際に、フィードバックした歪み量を打ち消すので、デルタシグマ変調処理のS/N比を悪化させることなく、オーディオ特性の劣化を防ぐことができる。

【0045】また、以上詳細に説明したように、本発明に係る信号増幅装置では、パルス幅変調器より後段に接続されている回路の特性により発生する歪みを増幅器の入力信号及び出力信号の差分から検出し、検出した歪み量を加算器にフィードバックし、デルタシグマ変調器及びパルス幅変調器で変調した信号を増幅器で所定の大きさの信号に増幅する際に、フィードバックした歪み量を打ち消すので、デルタシグマ変調処理のS/N比を悪化させることなく、オーディオ特性の劣化を防ぐことができる。

【図面の簡単な説明】

【図1】本発明を適用したオーディオ信号を増幅するD

級電力増幅装置のブロック図である。

【図2】本発明を適用したD級電力増幅装置が備える第1のデルタシグマ変調器のブロック図である。

【図3】本発明を適用したD級電力増幅装置が備える第2のデルタシグマ変調器のブロック図である。

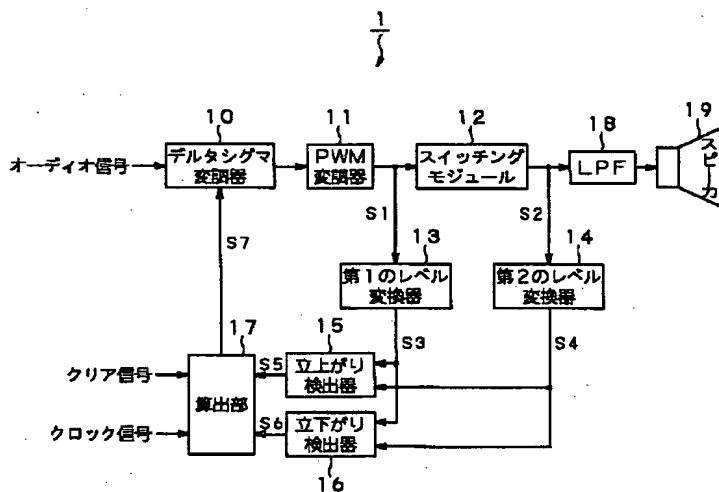
【図4】PWM変調された信号の波形と、スイッチングモジュールで増幅された信号の波形と、立上がり成分の差分により生成した波形と、立ち下がり成分の差分により生成した波形と、カウンタ出力波形と、クリア信号の波形とを示す図である。

【図5】本発明を適用したオーディオ信号を増幅するD級電力増幅装置のブロック図である。

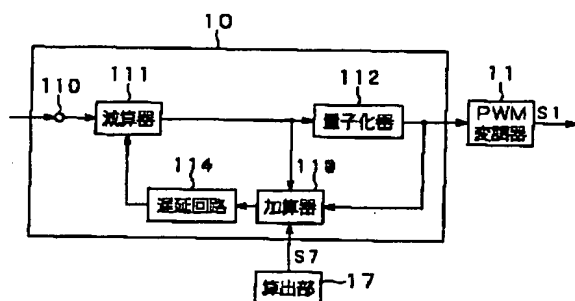
【図6】本発明を適用したD級電力増幅装置が備える第1のデルタシグマ変調器のブロック図である。

【図7】本発明を適用したD級電力増幅装置が備える第2のデルタシグマ変調器のブロック図である。

【図1】



【図3】



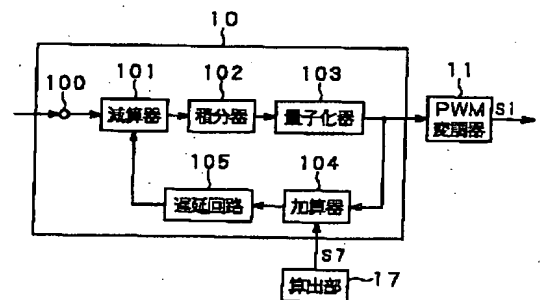
【図8】オーディオ信号を再生する再生装置のブロック図である。

【図9】デルタシグマ変調器のブロック図である。

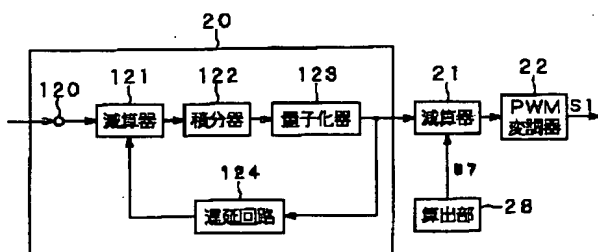
【符号の説明】

1, 2 D級電力増幅装置、10, 20 デルタシグマ変調器、11, 22 PWM変調器、12, 23 スwitchングモジュール、13, 24 第1のレベル変換器、14, 25 第2のレベル変換器、15, 26 立上がり検出器、16, 27 立下がり検出器、17, 28 算出部、18, 29 LPF、19, 30 スピーカ、104, 113, 133 加算器、100, 110, 120, 130 入力端子、21, 101, 111, 121, 131 減算器、102, 122 積分器、103, 112, 123, 132 量子化器、105, 114, 124, 134 遅延回路

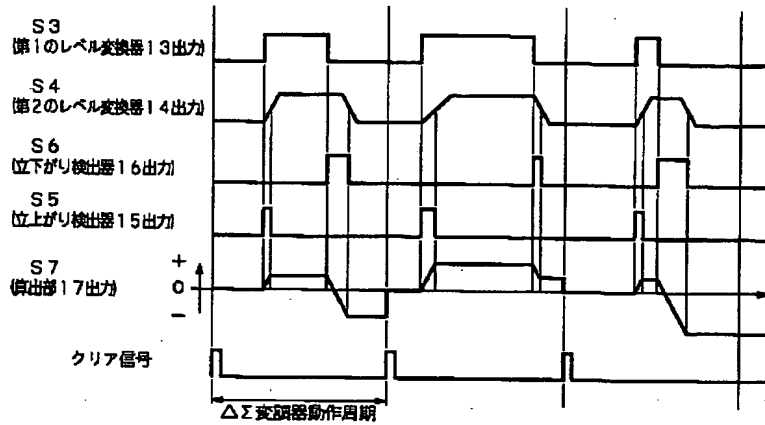
【図2】



【図6】

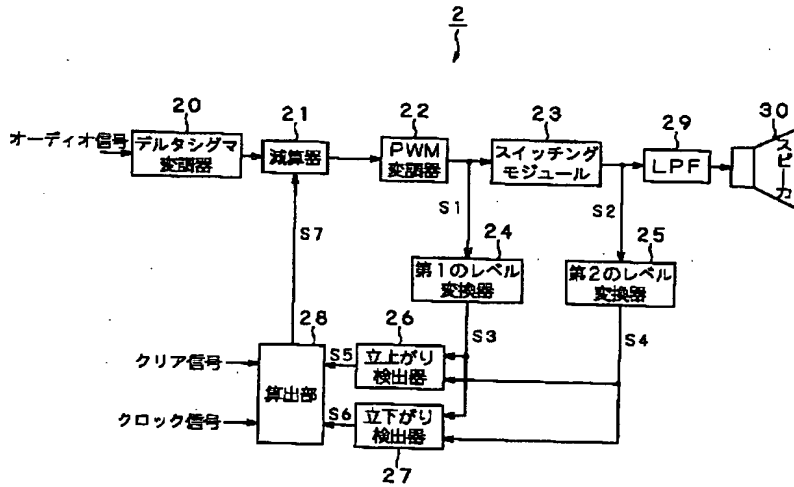
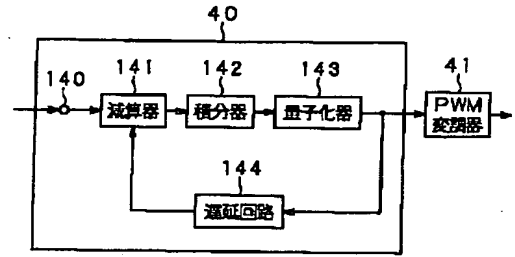


【図4】



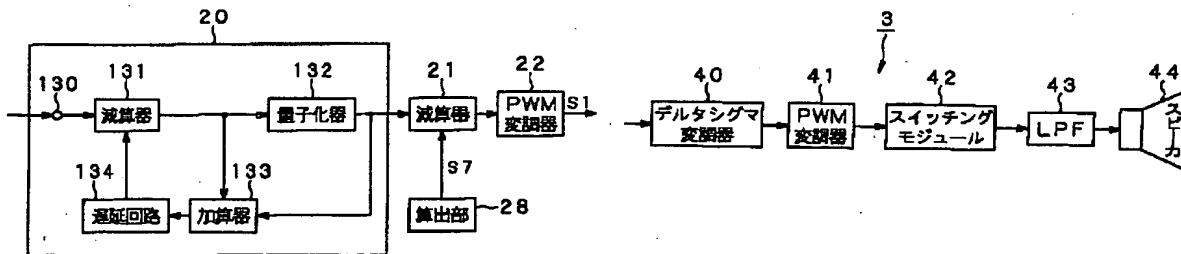
【図5】

【図9】



【図7】

【図8】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

ターマート (参考)

H 0 3 M 5/08

G 1 0 L 3/02

G

Fターム (参考) 5D045 DA03

5J064 AA01 BA03 BB14 BC07 BC08

BC10 BC11 BC16 BD02

5J090 AA02 AA27 AA41 AA54 AA66

CA21 FA08 FA17 GN02 GN05

GN06 HA38 HN01 HN03 HN07

HN15 HN17 KA15 KA17 KA26

KA31 KA33 KA42 KA56 KA62

MA11 SA05 TA01

5J091 AA02 AA27 AA41 AA54 AA66

CA21 FA08 FA17 HA38 KA15

KA17 KA26 KA31 KA33 KA42

KA56 KA62 MA11 SA05 TA01

UW04

5J500 AA02 AA27 AA41 AA54 AA66

AC21 AF08 AF17 AH38 AK15

AK17 AK26 AK31 AK33 AK42

AK56 AK62 AM11 AS05 AT01

NH01 NH03 NH07 NH15 NH17

WU04